

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—27324

⑪ Int. Cl.³
H 01 L 21/306
21/28

識別記号

庁内整理番号
8223—5F
7638—5F

⑬ 公開 昭和58年(1983)2月18日
発明の数 2
審査請求 未請求

(全 8 頁)

⑭ 半導体装置の製造方法

⑮ 特 願 昭56—124168
⑯ 出 願 昭56(1981)8月10日
⑰ 発 明 者 江原孝平
武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内
⑱ 発 明 者 村本進
武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内
⑲ 発 明 者 森本孝

武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内
⑲ 発 明 者 松尾誠太郎
武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内
⑲ 発 明 者 逸見学
武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内
⑳ 出 願 人 日本電信電話公社
㉑ 代 理 人 弁理士 高山敏夫 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

- (1) 半導体基板上に直接に、あるいは半導体基板上に形成した第2の材料の上に直接に、高融点金属を堆積し、該高融点金属のパターンを形成した後、該高融点金属上と該高融点金属のないところに第3の材料を堆積し、該高融点金属を溶解せしめて該高融点金属上に堆積した第3の材料をリフトオフし、該高融点金属のないところに堆積した第3の材料を半導体基板上に堆積したままにして残すことを特徴とする半導体装置の製造方法。
- (2) 半導体基板上に、あるいは半導体基板上に形成した第2の材料の上に、高融点金属と反応しない第3の材料を形成し、その上に高融点金属を堆積し、該高融点金属のパターンを形成した後、該高融点金属上と該高融点金属のないところに第4の材料を堆積し、該高融点金属を溶解せし

めて該高融点金属上に堆積した第4の材料をリフトオフし、該高融点金属のないところに堆積した第4の材料を堆積したままにして残すことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は高密度、高速度のLSIの製造方法に関するものである。

LSIの大容量、高密度化に伴なつて電極配線の微細化、多層化の重要性が増している。配線の微細加工、あるいは平坦化のために検討されてきた従来のリフトオフ法においては、レジスト、ポリイミド系樹脂の高分子材料が主であり、その他にAl₂O₃、ZnOが用いられている。

レジストを用いたリフトオフ法は次の様にしてなされる。第1図において1はSi基板、2はSi基板上に形成した熱酸化膜、又はCVDSiO₂膜で、その上に配線パターンとは逆のパターンをフォトリソで形成する。この上に第2図で示すようにAl膜4を蒸着する。その後第3図に示すようにアセトン中で超音波洗浄してレジストを溶解し、レ

ジスト上のAL膜4をリフトオフして配線パターンを形成する。以上述べた様にこの方法によればサイドエッチングがないので微細なパターンを形成できるという利点がある。リフトオフの基本的な考え方はこのように第1図～第3図に示す通りであり、この他にリフトオフをより一層容易にするため種種の方法が工夫されている。それらに共通している考え方はレジスト等にアンダーカットを作ることである。第4図にアンダーカットをもつレジスト5の断面構造を示す。このような構造のレジストは電子ビームリソグラフィによつて容易に製作できる。あるいは光露光においても、レジストを露光する前か後に、レジストをクロロベンゼンにひたすことによつてレジスト表面層の現像速度が遅くなる性質を利用して容易に製作できる。この上に第5図に示すようにAL膜6を蒸着し、レジストを溶剤中で溶かすことによつてレジスト上のAL膜6をリフトオフして第6図に示す配線パターンを形成する。ポリイミド系樹脂PIQを用いたリフトオフ法を次に説明する。熱酸化したSi基板上に

PIQを全面塗布し、その上にCr又はMoによる配線の逆パターンを形成し、これをマスクにしてPIQをエッチングし、そのサイドエッチングを利用して、第6図に示すようにCr又はMoよりも小さな形状とする。7はPIQで、8はCr又はMoである。この上にAL膜9を蒸着し第7図を得る。これをリフトオフして第8図の構造を得る。第8図はレジスト11の下に適當な材料10をスペースとしてもうけレジストの下にアンダーカットを形成した構造を示す。この上にAL膜12を蒸着した構造を第9図に示す。レジスト11をリフトオフした後、スペース10を除去し第3図の構造を得る。

以上説明した従来例はいずれも微細なAL配線形成のためのリフトオフ法である。この他にリフトオフ法を用いて微細かつ平坦な配線の形成された例を次に説明する。第10図の1はSi基板、2はSiO₂膜、13はAL膜、14はレジストパターンである。レジスト14をマスクにしてAL膜13をエッチングして第11図の構造を得る。この上にSiO₂膜、又はSi₃N₄膜をスパッタ法、あるいはECR形プラズマ堆積法

により堆積して第12図の構造を得る。15が上に堆積したSiO₂膜、又はSi₃N₄膜である。レジストを溶剤中の超音波洗浄によつて溶解しリフトオフすることによつて第13図に示す平坦な構造を得る。

これまで述べてきた従来のリフトオフの実施例はレジスト、およびPIQという高分子材料を用いた例であり、いずれもその後の工程で熱処理温度が高々500℃以下の電極配線プロセスに適用されている。レジストは約200℃以下、PIQは約450℃以下では耐熱性があるが、それ以上の温度になると熱分解等の組成変化がおこる。従つて上記のリフトオフ法においてリフトオフされずにレジスト等の残りが生じた場合、その残りがその後の工程において汚染源にならなければ問題にはならないので使用できるが、その後続く工程において熱酸化工程、不純物拡散工程等の高温処理がある場合、リフトオフ残りによる汚染が問題になる。

高分子材料よりも耐熱性においてすぐれたリフトオフ材料として検討されたものにAL、ZnOの

例がある。ALは融点が660℃であるが300～400℃以上でAL膜に粒界が成長してAL膜表面の凹凸が増大し、微細パターンが形成できなくなる。リフトオフ材料として使用できる温度は高々500℃である。又、リフトオフ後にALがリフトオフされずに残るとSiに対して不純物源になるので、その後で800～1200℃程度の高温処理工程を伴う工程には使用できない。ZnOは500℃以上の耐熱性を持ち、1%のリン酸溶液で溶けるため超電導材料であるニオブ系化合物のリフトオフに使用されている。しかし、ZnOは850℃以上でSiO₂と反応してZn₂SiO₄を形成するため、ZnOのリフトオフ残りが生じるとその下あるいはその上にSiO₂膜をもうけて高温熱処理工程を実施することができない。以上述べてきた様に、従来のリフトオフ法はリフトオフ材料が高々500℃以下の低温プロセスで使用可能であるものばかりである。従つて従来のリフトオフ法においてリフトオフ残りが生じた場合、その後の工程で800～1200℃の高温処理工程を行なうと汚染や、反応が生じるので高温処理と関連

のある工程には従来のリフトオフ法は実施できないという欠点があった。

本発明は、これらの欠点を解決するため、Mo, W, Ta, Ti, Zr, Nb のような高融点金属をリフトオフ用の材料として使用し、リフトオフの残りが生じてその後の工程において高温処理工程を行なえるようにしたもので、リフトオフ法を、例えば酸化工程、不純物拡散工程、高温アニール工程等がそのあとで必要となる工程において実施することを特徴とし、その目的はLSIの高密度化、高速化にある。

第14図～第34図に本発明によるリフトオフ法を示す。第14図において1はSi基板、2は熱酸化膜あるいはCVD SiO₂膜、16はMo、17はレジストパターンである。Moは勿論、蒸着、スパッタ、CVD法等のいずれの方法で堆積してもよい。レジストパターン17をマスクにしてMo膜16をドライエッチング法でエッチングした構造を第15図に示す。勿論、ドライエッチング法のかわりにウェットエッチング法でエッチングしてもよい。ウェットエ

ッチング法でエッチングした場合は第15図の構造においてサイドエッチングが生じている。Mo膜16上のレジスト17をはくりした構造を第16図に示す。この上に例えばSi膜18をスパッタ法、ECR型プラズマ堆積法等で堆積する。その構造を第17図に示す。これをMoの溶解するエッチング液、例えばH₂SO₄/H₂O₂混合液からなるエッチング液を用いてリフトオフする。MoはH₂SO₄/H₂O₂混合液中で70 μm/分程度のサイドエッチングがあるためリフトオフは大面积でも容易にできる。リフトオフ後の構造を第18図に示す。第17図の構造においてMoの側壁にSi膜が堆積してリフトオフできない場合は、Si膜をエッチングしてMoの側壁を露出させればリフトオフは可能となる。勿論、上に述べたSi膜を堆積するかわりにSiO₂膜、又はSi₃N₄膜等でもよい。又、リフトオフ用材料として用いたMoのかわりに、W, Ta, Ti, Zr, Nbの様な高融点金属でもよい。例えば、Wはフッ化水素酸と過硫酸混合物にきわめて速やかに溶解し、TaはNaOHとH₂O₂の混合液に溶解するので、ポリSiや

SiO₂あるいはSi₃N₄等をほとんどエッチングすることなくリフトオフすることが可能である。第18図の構造においてリフトオフの歩留りが100%ではなくて残りが生じてMo, W, Ta等の高融点金属は汚染源とはならないので、その後の工程で高温処理が可能となる。例えば高融点金属は酸化されやすい性質をもっているが、WO₃, Ta₂O₅, ZrO₂等、高融点金属の酸化物は融点が1400℃以上と高い。従つてあとの工程で酸化工程を行なうことが可能である。勿論高融点金属は不活性ガス中の熱処理に対しても問題のないことは明らかである。第19図～第23図は、リフトオフ法を用いて平坦化した例である。第19図において1はSi基板、2は熱酸化膜、19はポリSi膜、20はMo膜、21はレジストパターンである。レジストパターン21をマスクにしてMo膜20を、さらにレジスト膜21とMo膜20をマスクにしてポリSi 19をエッチングする。エッチング後の構造を第20図に示す。勿論ポリSiをエッチングする時、レジストをはくりしてMoをマスクにしてポリSiをエッチングしてもよい。ポリSiを

エッチングし、さらにレジスト21をはくりした後の構造を第21図に示す。この上にSiO₂膜22をスパッタ法、ECR型プラズマ堆積法等の堆積法で堆積する。この構造を第22図に示す。これをH₂SO₄/H₂O₂混合液中でリフトオフし、第23図に示すような平坦な構造が得られる。勿論、上の例とは逆に19がSiO₂で、22がポリSiでもよい。又、MoのかわりにW, Ti, Ta, Zr, Nb等の高融点金属でもよい。あるいはこれらの高融点金属は酸素あるいは窒素を含んでいてもよい。例えば酸素や窒素を含んだ高融点金属は、それぞれスパッタ法やH₂/N₂雰囲気中で高温熱処理することによつて形成することができる。ここに述べたリフトオフ法においても前に述べたリフトオフ法と同様、リフトオフ残りが歩留りとして生じてその後の工程で高温処理工程が可能である。さらに第21図において熱酸化膜2をゲート酸化膜とした場合、第21図の構造からも明らかな様にポリSi 19の上に高融点金属20が重なっているため、イオン注入法によつてゲート酸化膜2を通して半導体基板1の中へ不純

物導入を行なう工程において、ポリSi 19のみの場合に比べてイオン注入に対するマスク効果が一層大きいという効果がある。さらに高融点金属に窒素を含ませた場合イオン注入に対するマスク効果は、より一層大きくなる。又、第19図においてレジスト21をマスクにして高融点金属20、ポリSi 19をリアクティブイオンエッチングする場合高融点金属20が純金属の場合、ポリSi 19とエッチング速度の選択比がとりにくくなるが、窒素あるいは窒素を高融点金属に含ませた場合エッチング速度の選択比をとりやすくなる。これは微細加工プロセスにおいてエッチング条件の自由度が大きくなるという利点がある。このように微細なパターンを形成することができイオン注入に対するマスク効果が大きく、かつ高温熱処理にも耐えられるためLSIのゲートポリSi工程に適用すれば、LSIの高密度化、高速度化に対して効果が大きい。Mo、W、Ta等の高融点金属はその形成条件や下地材料によつて下地膜と反応する。例えば、Taを直接ポリSi上に堆積した場合、堆積時の温度が室温から

600℃位まではTaがポリSi層へ拡散する。600℃以上では逆にSiがTa膜へ拡散しTaとポリSiの界面にシリサイドを形成する。このようにTaとポリSiの界面には反応層が形成されるが、その形成条件によつてはこの反応層が試料表面の凹凸やエッチング条件に影響を与え微細加工性において問題となることがある。このように高融点金属と下地材料との反応層が問題となる場合は、高融点金属と下地材料の間にSiO₂膜やSi₃N₄膜の様な膜をはさむと有効である。この場合、この膜厚は200～300Åあれば十分であり、その膜はCVD膜でもよいし、ポリSiの場合は熱酸化膜でもよい。その実施例を第24図～第28図に示す。第24図の23が上に述べたポリSi膜とMo膜の間にはさんだSiO₂膜又はSi₃N₄膜である。以下リフトオフ後の構造を示す第28図まで、前に述べた工程と同様にして実施する。以上述べたポリSiパターン形成の実施例はいずれも高密度なパターン形成が可能であり、イオン注入に対するマスク効果が大きく、かつ後の工程で高温熱処理工程が可能のため、LSIのゲ

ートポリSi工程に適用すればLSIの高密度化、高速度化に対して効果が大きい。

本発明は高温熱処理に適したリフトオフ法であるため次の様な実施例に対しても効果は大きい。第29図において1はSi基板、25は熱酸化膜、26はCVD Si₃N₄膜、27はMo膜、28はレジストパターンである。レジスト28をマスクにしてMo膜27、Si₃N₄膜26、SiO₂膜25、Si基板1をエッチングする。その構造を第30図に示す。レジスト28をはくりした構造を第31図に示す。この上にSiO₂膜29をプラズマCVD法、スパッタ法、ECR型プラズマ堆積法等の堆積法で堆積した構造を第32図に示す。Mo膜27をH₂SO₄/H₂O₂混合液で溶解しリフトオフした構造を第33図に示す。Si₃N₄膜26を残したままに熱処理又は熱酸化した後、Si₃N₄膜を除去して表面が平坦な埋め込み酸化膜の構造を得る。その後表面のSiO₂膜をエッチングして第34図の構造を得る。勿論、この実施例においてはMoのかわりにW、Ti、Ta、Zr、Nbの様な高融点金属でもよい。あるいは窒素や窒素を含んだ高融点金属でも

よい。第30図、あるいは第31図においてフィールド反転防止のためのチャネルストップ用のイオン注入を行なつたとしても酸化膜25、窒素膜26、レジスト膜28の他にさらに上記の高融点金属がイオン注入に対するマスク効果を一層大きくする効果がある。又、これら高融点金属のリフトオフ残りが仮にあつたとしても、これらは汚染の心配がないのでこのあとの工程で熱酸化、不純物拡散等の高温熱処理工程を行なうことができる。従つて上記埋め込み酸化膜はLSIの高密度な素子分離構造として用いることができる。又、以上述べた様に本発明によるリフトオフ法を用いて高密度で平坦な構造をもつ素子分離構造、あるいはゲートポリSi構造を形成することができるので、これらの構造を順次形成していけば高密度、高速度なLSIを製作することができる。

上記の実施例においては、高融点金属をSiO₂膜上に形成した場合について説明したが、半導体基板上に直接高融点金属を形成して、同様の操作を行うことも可能である。

以上説明した様に本発明によるリフトオフ法は、
 微細パターンや微細かつ平坦な構造を形成できると同時にイオン注入に対するマスク効果も大きく、
 リフトオフ後の工程で酸化工程や不純物拡散工程等の高温処理工程を行なうことができるという利点がある。従つて本発明によるリフトオフ法をLSIの製作工程において高温処理工程と関連する工程、例えば素子分離工程、ゲートポリSi工程等に適用すればLSIの高密度化、高速度化に対して効果が大きい。

4. 図面の簡単な説明

第1図乃至第13図は従来の半導体装置の製造方法、第14図乃至第18図は本発明の半導体装置の製造方法の一実施例、第19図乃至第23図、第24図乃至第28図、第29図乃至第34図は夫々本発明の他の実施例を示す。

1 …… Si基板、2 …… 熱酸化膜あるいはCVD SiO₂膜等の絶縁膜、3 …… レジストパターン、4 …… Al膜、5 …… レジストパターン、6 …… Al膜、7 …… ポリイミド系樹脂、8 …… Cr又はMo、9 ……

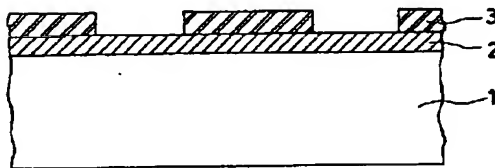
… Al膜、10 …… スペース膜、11 …… レジスト、12 …… Al膜、14 …… レジストパターン、15 …… SiO₂膜又はSi₃N₄膜、16 …… 高融点金属、17 …… レジストパターン、18 …… Si膜、19 …… ポリSi膜、20 …… 高融点金属、21 …… レジストパターン、22 …… SiO₂等の絶縁膜、23 …… SiO₂膜又はSi₃N₄膜、24 …… SiO₂等の絶縁膜、25 …… 熱酸化膜、26 …… CVD Si₃N₄膜、27 …… 高融点金属、28 …… レジストパターン、29 …… SiO₂膜

特許出願人 日本電信電話公社

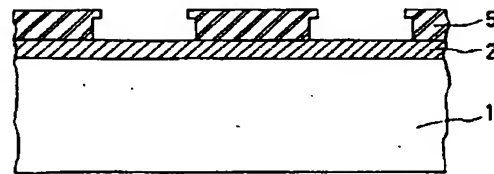
代理人 弁理士 高山 敏



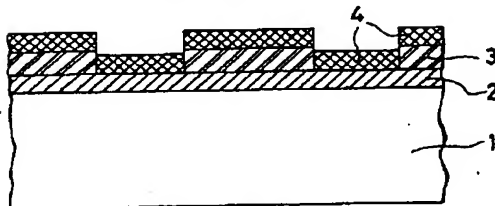
オ1図



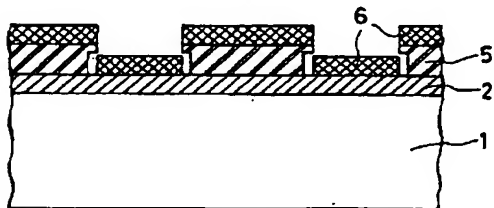
オ4図



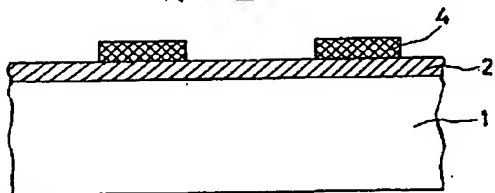
オ2図



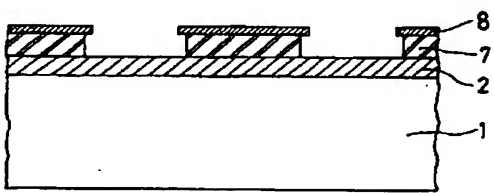
オ5図



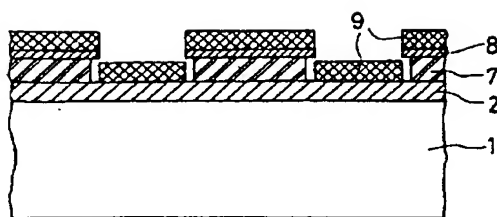
オ3図



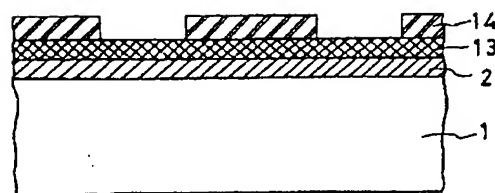
オ6図



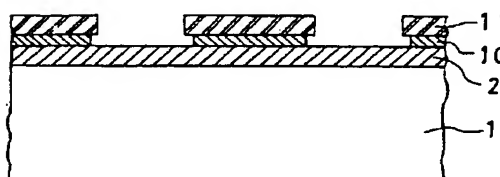
才 7 図



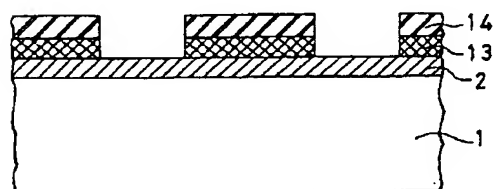
才 10 図



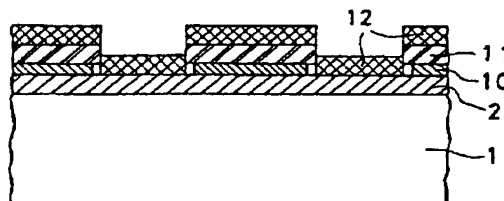
才 8 図



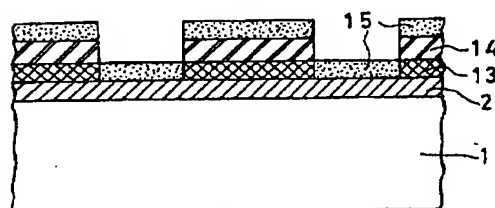
才 11 図



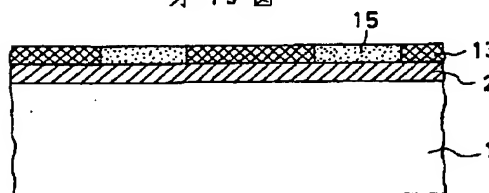
才 9 図



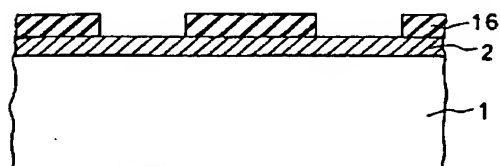
才 12 図



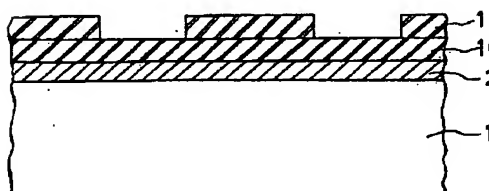
才 13 図



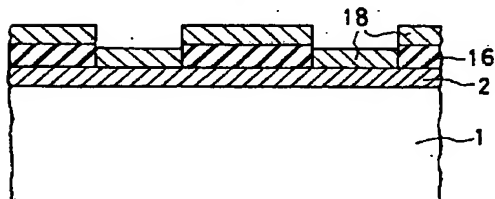
才 16 図



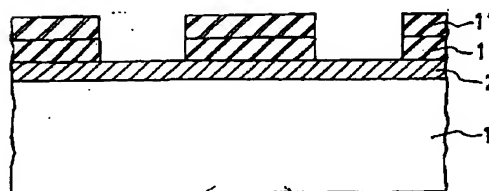
才 14 図



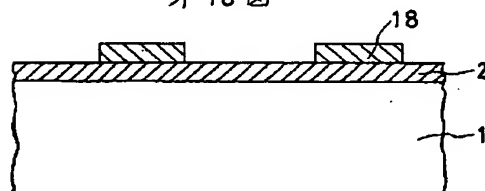
才 17 図



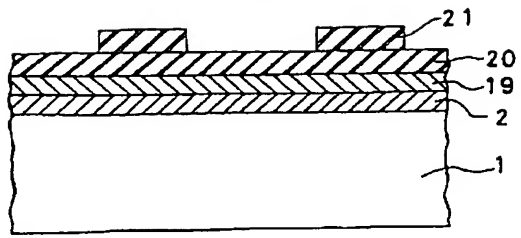
才 15 図



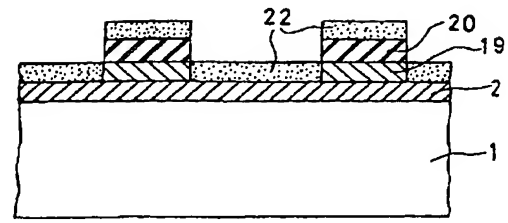
才 18 図



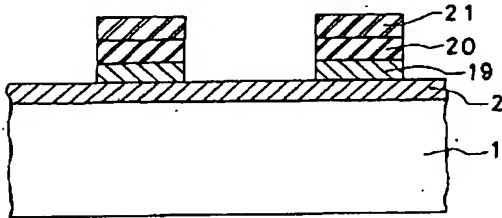
才19図



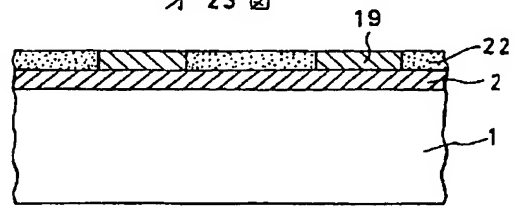
才22図



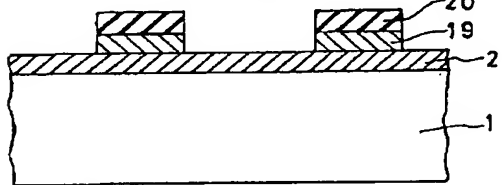
才20図



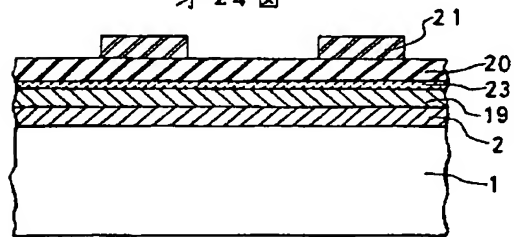
才23図



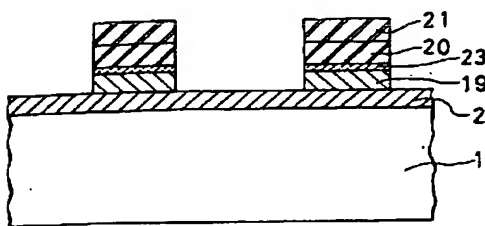
才21図



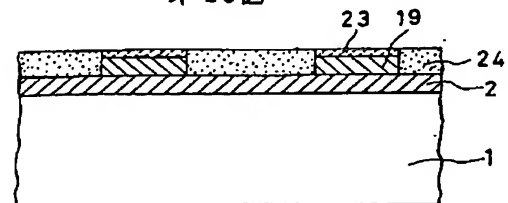
才24図



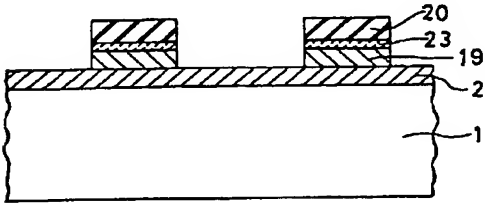
才25図



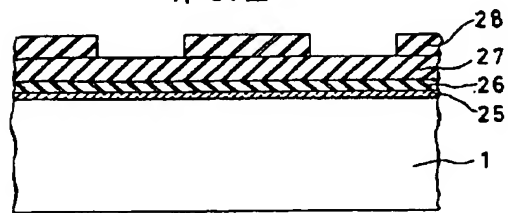
才28図



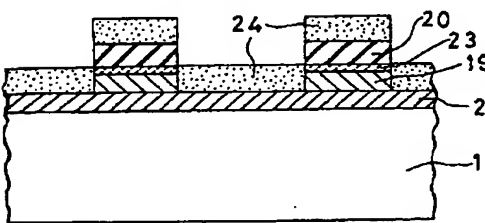
才26図



才29図



才27図



才30図

